

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-31693

(P2003-31693A)

(43)公開日 平成15年1月31日(2003.1.31)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
H 0 1 L	21/8242	H 0 1 L	3 2 1
	27/108		5 F 0 8 3
	29/786		6 1 3 B
			5 F 1 1 0

審査請求 未請求 請求項の数12 O L (全 17 頁)

(21)出願番号 特願2001-220461(P2001-220461)

(22)出願日 平成13年7月19日(2001.7.19)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 大澤 隆

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100092820

弁理士 伊丹 勝

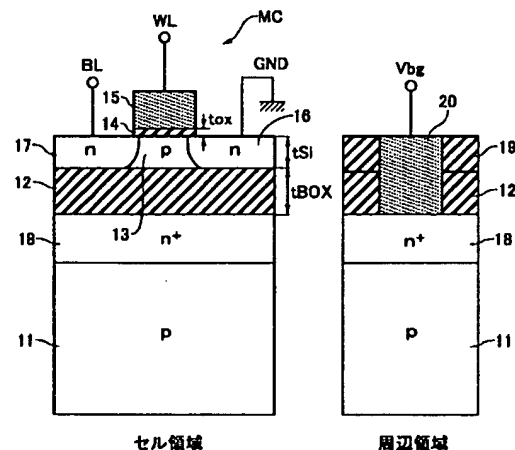
最終頁に続く

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【課題】 単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供する。

【解決手段】 シリコン基板11上に絶縁膜12により分離された状態で形成されたp型シリコン層13をフローティングのチャンネルボディとしてMISFETが形成される。MISFETは、チャンネルボディの表面に形成されたチャンネルを形成するための主ゲート15と、裏面に対して絶縁膜12を介して容量結合するn⁺型層18からなる補助ゲートを有する。MISFETは、完全空乏型であり、主ゲート15からの電界によりチャンネルボディ13が完全空乏化した状態で且つ、補助ゲート18からの電界によりチャンネルボディ13の裏面に多数キャリアが蓄積可能とした状態を基準状態として、チャンネルボディ13の裏面に多数キャリアが蓄積された第1データ状態と、チャンネルボディ13の裏面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 一つのメモリセルが、フローティングのチャンネルボディと、このチャンネルボディの第1の面に形成されたチャンネルを形成するための主ゲートと、前記チャンネルボディの第1の面と反対側の第2の面に容量結合するように形成された補助ゲートとを有する完全空乏型の一つのMISFETにより構成され、

前記MISFETは、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第2の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第2の面に多数キャリアが蓄積された第1データ状態と、前記チャンネルボディの第2の面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項2】 半導体基板と、

この半導体基板上に絶縁膜により分離された状態で形成された半導体層と、

この半導体層に形成されたフローティングのチャンネルボディを有し、このチャンネルボディの第1の面に形成されたチャンネルを形成するための主ゲート及び第1の面と反対側の第2の面に容量結合するように形成された補助ゲートを有する完全空乏型のMISFETとを備え、

前記MISFETは、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第2の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第2の面に多数キャリアが蓄積された第1データ状態と、前記チャンネルボディの第2の面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項3】 半導体基板と、

この半導体基板上に柱状にパターン形成された半導体層からなるチャンネルボディ、

このチャンネルボディの第1の側面に形成されたチャンネルを形成するための主ゲート及び第1の側面と反対側の第2の側面に容量結合するように形成された補助ゲートを有する完全空乏型のMISFETとを備え、

前記MISFETは、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第2の側面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第2の側面に多数キャリアが蓄積された第1データ状態と、前記チャンネルボディの第2の側面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする半導体メモリ装置。

【請求項4】 前記第1データ状態は、MISFETを

5 極管動作させてドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、

前記第2データ状態は、前記チャンネルボディとドレインの間に順方向バイアス電流を流すことにより書き込まれることを特徴とする請求項1乃至3のいずれかに記載の半導体メモリ装置。

【請求項5】 前記MISFETは、前記半導体層の表面を第1の面とし、前記絶縁膜に接する裏面を第2の面として、表面にゲート絶縁膜を介して主ゲートが形成されていることを特徴とする請求項2記載の半導体メモリ装置。

【請求項6】 前記補助ゲートは、前記半導体基板又はその前記絶縁膜との界面に形成された不純物拡散層であることを特徴とする請求項5記載の半導体メモリ装置。

【請求項7】 前記補助ゲートは、前記絶縁膜内部又は前記半導体基板との界面部に前記半導体層の裏面に対向するように埋め込まれていることを特徴とする請求項5記載の半導体メモリ装置。

【請求項8】 前記補助ゲートは、前記絶縁膜内に前記半導体層の裏面寄りの側面に対向するように埋め込まれていることを特徴とする請求項5記載の半導体メモリ装置。

【請求項9】 複数のMISFETがマトリクス配列され、各MISFETのドレインはビット線に、主ゲートはビット線と交差するワード線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成され、補助ゲートは前記セルアレイ全体にまたがる共通電極として又は各ワード線と並行するプレート線として形成されていることを特徴とする請求項1又は2記載の半導体メモリ装置。

【請求項10】 複数のMISFETがマトリクス配列され、各MISFETのドレインはビット線に、主ゲートはビット線と交差するワード線に、補助ゲートは各ワード線と並行するプレート線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成されていることを特徴とする請求項3記載の半導体メモリ装置。

【請求項11】 複数のMISFETがマトリクス配列され、各MISFETのドレインはビット線に、主ゲートはビット線と交差するワード線に、補助ゲートはビット線と並行するプレート線に、ソースは固定電位線にそれぞれ接続されてセルアレイが構成されていることを特徴とする請求項8記載の半導体メモリ装置。

【請求項12】 前記主ゲートに書き込み／読み出し／保持の各動作モードに応じて与えられる各種制御電圧及び、前記補助ゲートにメモリ動作中与えられる固定電圧を発生する内部電圧発生回路と、

テストの結果に応じて、前記各種制御電圧及び固定電圧の電圧値をプログラミングできる不揮発性記憶回路と、この不揮発性記憶回路の読み出しデータを保持して前記内部電圧発生回路の出力電圧を制御する初期設定レジス

たと、を有することを特徴とする請求項9乃至11のいずれかに記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ダイナミック型半導体メモリ装置（DRAM）に関する。

【0002】

【従来の技術】従来のDRAMは、MOSトランジスタとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックトキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ（セルサイズ）は、最小加工寸法をFとして、 $2F \times 4F = 8F^2$ の面積まで縮小されている。つまり、最小加工寸法Fが世代と共に小さくなり、セルサイズを一般に αF^2 としたとき、係数 α も世代と共に小さくなり、F=0.18 μ mの現在、 $\alpha=8$ が実現されている。

【0003】今後も従来と変わらないセルサイズ或いはチップサイズのトレンドを確保するためには、F<0.18 μ mでは、 $\alpha<8$ 、更にF<0.13 μ mでは、 $\alpha<6$ を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1トランジスタ/1キャパシタのメモリセルを $6F^2$ や $4F^2$ の大きさにする提案も種々なされている。しかし、トランジスタを縦型にしなければならないといった技術的困難や、隣接メモリセル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

【0004】これに対して、キャパシタを用いず、1トランジスタをメモリセルとするDRAMの提案も、以下に挙げるようにいくつかなされている。

①JOHN E. LEISS et al, "DRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)

②特開平3-171768号公報

③Marmix R. Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp1373-1382)

④Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM93, pp635-638)

【0005】

【発明が解決しようとする課題】①のメモリセルは、埋め込みチャンネル構造のMOSトランジスタを用いて構成される。素子分離絶縁膜のテーパー部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。②のメモリセルは、個々にウェル分離されたMOSトランジスタを用い、MOSトランジスタのウェル電位により決まるしきい値を二値データとする。③のメモリセルは、SOI基板上のMOSトランジスタ

により構成される。SOI基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部でのホール蓄積を利用し、このホールの放出、注入により二値記憶を行う。④のメモリセルは、SOI基板上のMOSトランジスタにより構成される。MOSトランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用PMOSトランジスタと読み出し用NMOSトランジスタを一体に組み合わせた構造としている。NMOSトランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

【0006】しかし、①は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。②は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。③では、SOI基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。④は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、バース線が必要とするため、信号線数が多くなる。

【0007】この発明は、単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る半導体メモリ装置は、一つのメモリセルが、フローティングのチャンネルボディと、このチャンネルボディの第1の面に形成されたチャンネルを形成するための主ゲートと、前記チャンネルボディの第1の面と反対側の第2の面に容量結合するように形成された補助ゲートとを有する完全空乏型の一つのMISFETにより構成され、前記MISFETは、前記主ゲートからの電界により前記チャンネルボディが完全空乏化した状態で且つ、前記補助ゲートからの電界により前記チャンネルボディの第2の面に多数キャリアが蓄積可能とした状態を基準状態として、前記チャンネルボディの第2の面に多数キャリアが蓄積された第1データ状態と、前記チャンネルボディの第2の面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することを特徴とする。

【0009】この発明において、MISFETは例えば、半導体基板と、この半導体基板上に絶縁膜により分離された状態で形成された半導体層とからなる、いわゆるSOI (Silicon On Insulator) 基板を用いて、基板と平行にチャンネルが形成される横型MISFETとして構成される。横型MISFETは、SOI層に形成されたフローティングのチャンネルボディを有し、このチャンネルボディの第1の面に形成され

たチャンネルを形成するための主ゲート及び第1の面と反対側の第2の面に容量結合するように形成された補助ゲートを有する。

【0010】この発明において、MISFETはまた、基板に垂直方向にチャンネルが形成される縦型MISFETとして構成することもできる。縦型MISFETは、半導体基板と、この半導体基板上に柱状にパターン形成された半導体層からなるチャンネルボディとを用いて構成され、このチャンネルボディの第1の側面に形成されたチャンネルを形成するための主ゲート及び第1の側面と反対側の第2の側面に容量結合するように形成された補助ゲートを有する。

【0011】この発明において、具体的に、第1データ状態は、MISFETを5極管動作させてドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、第2データ状態は、チャンネルボディとドレインの間に順方向バイアス電流を流すことにより書き込まれる。そして、第1データ状態と第2データ状態は、しきい値電圧の相違として、ダイナミックに記憶される。

【0012】

【発明の実施の形態】実施の形態の説明に先立って、この発明の原理的なメモリセルとして、部分空乏型MISFETを用いた場合を説明する。部分空乏型MISFETとは、ゲートに電圧を印加してチャンネルが形成される時に、チャンネルボディが部分的に空乏化(Partially Depleted)し、電荷中性領域が残るものであり、以下これをPD型MISFETという。このPD型MISFETを用いて、電荷中性領域に過剰の多数キャリアが蓄積された第1データ状態と、電荷中性領域の過剰の多数キャリアが放出された第2データ状態とをダイナミックに記憶することができる。

【0013】図1は、その様なメモリセルMCの断面構造を示している。シリコン基板1上にシリコン酸化膜等の絶縁膜2を介してp型シリコン層3が形成された、SOI基板が用いられている。シリコン層3をチャンネルボディとして、その表面にゲート絶縁膜4を介してゲート電極5が形成され、絶縁膜2に達する深さにソース及びドレイン拡散層6、7が形成されて、nチャンネルMISFETが構成されている。

【0014】nチャンネルMISFETからなるメモリセルMCは、横方向にも素子分離されたフローティングのチャンネルボディをもってマトリクス配列されて、セルアレイが構成される。ドレイン7はビット線BLに、ゲート5はワード線WLに、ソース6は固定電位線に接続される。

【0015】このメモリセルMCの動作原理は、MISFETのチャンネルボディ(p型シリコン層3)の多数キャリアであるホールの蓄積を利用する。即ち、MISFETを5極管動作させることにより、ドレインから大きなチャンネル電流を流し、ドレイン接合近傍でインパクト

イオン化を起こす。このインパクトイオン化により生成された過剰の多数キャリア(ホール)をチャンネルボディに保持させ、その状態を例えばデータ“1”とする。ドレイン7とチャンネルボディの間に順方向電流を流して、チャンネルボディの過剰ホールをドレインに放出させた状態をデータ“0”とする。

【0016】データ“0”、“1”は、チャンネルボディの電位の差であり、MISFETのしきい値の差として記憶される。即ち図2に示すように、ホール蓄積によりチャンネルボディ電位 V_{body} の高いデータ“1”状態のしきい値 V_{th1} は、データ“0”状態のしきい値 V_{th0} より低い。チャンネルボディにホールを蓄積したデータ“1”を安定に保持するためには、ワード線WLに与える電圧 V_{WL} を負に保持することが好ましい。このデータ保持状態は、逆データの書き込み動作を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷保持を利用する1トランジスタ/1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

20 【0017】データ読み出しは、基本的にメモリセルMCの導通度の差を検出することにより行われる。ワード線電圧 V_{WL} とボディ電位 V_{body} の関係が図2のようになるので、例えば、ワード線WLに、データ“0”、“1”のしきい値 V_{th0} 、 V_{th1} の中間の読み出し電圧を与えて、メモリセルの電流の有無を検出すれば、データが検出できる。或いは、しきい値 V_{th0} 、 V_{th1} を越えるワード線電圧を与えて、メモリセルの電流の大小を検出することによっても、データ検出ができる。

30 【0018】図1のメモリセルMCは、チャンネルボディ領域に電荷中性領域が存在するいわゆるPD型MISFETを用いている。即ち、図3にバンド図を示したように、ゲートに、チャンネルが形成される電圧 $V_{fg} = V_{th}$ を与えたとき、空乏層はチャンネルボディの途中まで延び、底部には電荷中性領域が残る。この場合、デザインルールの縮小と共にボディ領域の厚さも縮小させるスケールング則に従えば、チャンネルボディの不純物濃度も濃くして行かねばならない。MISFETのしきい値 V_{th} のゲート長(チャンネル長) L に対するロールオフ($r_{roll-off}$)効果、つまり短チャンネル効果を抑制するためにも、チャンネルボディの不純物濃度はゲート長 L の縮小と共に大きくすることが必要になる。

【0019】ところが、pn接合リーク電流は、チャンネルボディの不純物濃度に指数関数的に依存して増加する。pn接合でのリーク電流成分には、拡散電流、生成・再結合電流及び熱励起電界放出電流(Thermal Field Emission Current)がある(G.Vincent, A.Chantre and D.Bois, "Electric Field Effect on the Thermal Emission of Traps in Semiconductor Junctions," J.App 40 1.Phys., 50, pp.5484-5487, 1979.)がある。これらのう

ち、前二者は、不純物濃度NAを上げると減少する成分である。拡散電流はNAを増加させると中性領域の少数キャリア濃度が減少するために減少し、生成・再結合電流はNAを大きくすると空乏層が短くなるために減少するからである。最後の成分は、シリコンのバンドギャップ内の深い位置にある電子が熱エネルギーにより放出され伝導に寄与する確率が空乏層内の強い電界により増えてリーク電流として観測されるもので、トンネル効果によるものである。この理論に従えば、リーク電流は空乏層内の電界の強さに指数関数的依存性があるので、NAを増加させるとそれに指数関数的に依存してリーク電流が増えることになる。

【0020】また、“0”データセルのしきい値 V_{th0} と、“1”データセルのしきい値 V_{th1} の差で表される信号量 $\Delta V_{th} = |V_{th0} - V_{th1}|$ は、基板バイアス効果に基づいて決まる。MISFETが微細化されて、しきい値のロールオフを抑えるべく、ゲート酸化膜 t_{ox} を薄くすると、基板バイアス効果は弱まってくる。このため、信号量 ΔV_{th} を確保するには、チャネルボディの不純物濃度を高くする必要がある。従って、信号量を大きくすることと、データ保持特性を良くすることは相容れない条件となる。

【0021】そこでこの発明では、微細化したときにもリーク電流を抑え、優れたデータ保持特性が得られるように、完全空乏型MISFETによりメモリセルを構成する。ここで、完全空乏型MISFETとは、ゲートに電圧を印加してチャネルが形成されるときに、チャネルボディが完全空乏化(Fully Depleted)するように、チャネルボディの不純物濃度と厚さが設定されているものであり、以下これをFD型MISFETという。この様なFD型MISFETをメモリセルとして、主ゲートからの電界によりチャネルボディが完全空乏化した状態で且つ、補助ゲートからの電界によりチャネルボディの第2の面に多数キャリアを蓄積できる状態を基準状態として、チャネルボディの第2の面に多数キャリアが蓄積された第1データ状態と、チャネルボディの第2の面の多数キャリアを放出させた第2データ状態とをダイナミックに記憶することができる。

【0022】[実施の形態1]FD型MISFETを用いた実施の形態のメモリセル構造を図4に示す。シリコン基板11上にシリコン酸化膜等の絶縁膜12が形成され、この絶縁膜12上にp型シリコン層13が形成された、SOI基板を用いている。絶縁膜12は、シリコン層13の下に埋め込まれているため、以下これをBOX(Buried Oxide)層という。メモリセルMCは、p型シリコン層13にゲート絶縁膜14を介して主ゲート15が形成され、主ゲート15に自己整合されて、シリコン層13の底部に達するソース、ドレイン拡散層16、17が形成されたnチャネルMISFETである。

【0023】p型シリコン層13は、後に具体的に説明するように、表面にチャネルが形成されるゲート電圧を印加したときに完全空乏化するように、p型シリコン層13のアクセプタ濃度NAと厚さ t_{Si} が設定されている。具体的に、p型シリコン層13の表面から延びる空乏層の厚さは、フェルミポテンシャルを ϕ_f 、シリコンの誘電率を ϵ_{Si} として、 $(4\epsilon_{Si} \cdot \phi_f / q \cdot NA)^{1/2}$ で表されるから、完全空乏型MISFETの条件は、 $(4\epsilon_{Si} \cdot \phi_f / q \cdot NA)^{1/2} > t_{Si}$ となる。

【0024】また図の例では、シリコン基板11をp型として、シリコン基板11のBOX層12との界面には、p型シリコン層13からなるチャネルボディの裏面に容量結合により所定の電界を与えるための補助ゲートとなるn型拡散層18が形成されている。n型拡散層18は、少なくともセルアレイ領域全体にまたがって共通電極(バックプレート)として形成される。ここでは、チャネルボディに裏面から負のバイアス電圧を印加する場合を考えており、n型拡散層18を補助ゲートとして形成したが、n型拡散層18を形成せず、基板11自体を補助ゲートとしてもよいし、或いはp型拡散層を補助ゲートとして形成してもよい。

【0025】メモリセルMCは、各チャネルボディが横方向にも互いに分離されたフローティングとなるように、マトリクス配列される。補助ゲートとしてのn型層18はセルアレイ全体に形成され、セルアレイの周辺で、BOX層12及びこの上に形成される層間絶縁膜19に埋め込まれた多結晶シリコン等のコンタクトブラグ20により、上部に補助ゲート端子が設けられる。

【0026】具体的な例を挙げると、ゲート長は $L = 70\text{ nm}$ 、ゲート絶縁膜厚は、 $t_{ox} = 10\text{ nm}$ とし、p型シリコン層13(チャネルボディ)のアクセプタ濃度は、 $NA = 1.0 \times 10^{15}\text{ cm}^{-3}$ 程度と非常に低濃度にする。更に、シリコン層13の厚さは、 $t_{Si} = 25 \sim 50\text{ nm}$ 程度とする。また、BOX層12は、 $30 \sim 50\text{ nm}$ と比較的薄くして、裏面からのチャネルボディへの電界印加を容易にする。

【0027】この様な条件でメモリセルは、FD型MISFETとなる。表面チャネルが形成されるときのパンド構造を図3に対応させて示すと、図5のようになり、主ゲートに与える電圧が $V_{fg} = V_{th}$ でチャネルボディは完全空乏化する。但しここでは、p型シリコン基板が直接BOX層2に接触する場合を示している。この様な完全空乏化の条件を満たした上で更に、補助ゲートからのバイアス電圧 V_{bg} の印加によって、完全空乏化したチャネルボディ裏面にホールを蓄積できる状態を形成する。言い換えれば、主ゲートからの電界によってチャネルボディを完全空乏化し且つ、このチャネルボディの裏面に再びホール蓄積層(p型反転層)が形成される状態を、補助ゲートからのバイアス電圧 V_{bg} の印加により実現する。この様子を、図5に対応させて、図6に示

す。

【0028】図6に示すように、主ゲートの電圧 V_{fg} と補助ゲートの電圧 V_{bg} により、完全空乏化したチャネルボディの底部にホールを蓄積可能とした状態をメモリセルの基準状態とする。この基準状態は、そのまま時間が経過すれば、チャネルボディ底部にホールが蓄積された熱平衡状態となり、これを“1”データ保持状態とする。“0”データ書き込みは、ドレインとチャネルボディの間に順方向電流を流して、チャネルボディのホールを放出した状態（即ち、チャネルボディが完全空乏化した非平衡状態）とし、“0”データセルに“1”データを書き込むには、5極管動作によりインバクティオン化を起して、チャネルボディの底部にホールを蓄積した状態とする。

【0029】この実施の形態によるメモリセルのしきい値電圧 V_{th} を考える。主ゲートからの電界によりシリコン層13が完全空乏化した状態で、補助ゲートに電圧 V_{bg} を与えてBOX層12に接したシリコン層13の裏面の電位を下げると、多数キャリア（この場合正孔）を蓄積した状態を得ることができる。この状態でのMISFETの表面チャネルについてのしきい値電圧 V_{thacc} は、シリコン層13の裏面の電位が固定されて補助ゲートからチャネルボディへの容量結合がないため、下記数1で表される。

【0030】

【数1】 $V_{thacc} = \phi_{fs} + (1 + C_{si}/C_{ox}) \cdot 2\phi_f - Q_{dep}/2C_{ox} - (C_{si}/C_{ox}) \cdot \phi_{bs}$

【0031】ここで、 ϕ_{fs} はn型ポリシリコンからなる主ゲート15とp型シリコン層13（チャネルボディ）のMOS構造でのフラットバンド電圧、 ϕ_f はフェルミポテンシャル、 ϕ_{bs} はチャネルボディ裏面の電位、 C_{si} はチャネルボディの容量（ $= \epsilon_s / t_{si}$ ）、 C_{ox} は、ゲート絶縁膜の容量（ $= \epsilon_{ox} / t_{ox}$ ）、 Q_{dep} は完全空乏化したチャネルボディの空間電荷量（ $= -q \cdot NA \cdot t_{si}$ ）である。

【0032】一方、補助ゲート電圧 V_{bg} がシリコン層13の裏面に多数キャリア（正孔）を蓄積させるに必要な電界を与えない条件の下では、シリコン層13は完全に空乏化されているために、表面トランジスタのしきい値電圧は、シリコン層13の裏面からの補助ゲートによる容量結合の影響を受ける。即ち、BOX膜12の膜厚 t_{box} と V_{bg} の値に依存して、しきい値電圧が変わる。この場合のしきい値を V_{thdep} とすれば、下記数2により表される。

【0033】

【数2】 $V_{thdep} = V_{thacc} - (C_{box}/C_{ox}) / (1 + C_{box}/C_{si}) \cdot (V_{bg} - V_{bgacc})$

【0034】ここで、 V_{bgacc} は、シリコン層13の裏面に多数キャリア（正孔）を蓄積させるのに必要な補助ゲート電圧 V_{bg} の値であり、以下の式で与えられる。

【0035】

【数3】 $V_{bgacc} = \phi_{fs} - C_{si}/C_{box} \cdot 2\phi_f - Q_{dep}/2C_{box} + (1 + C_{si}/C_{box}) \cdot \phi_{bs}$

【0036】ここで、 ϕ_{bs} はシリコン層13の裏面のポテンシャルであるが、多数キャリア（正孔）が蓄積されて落ち着いている熱平衡状態では、 $\phi_{bs1} = 0V$ である。この状態は、主ゲートにシリコン層13が完全空乏化するに必要な電圧を与えると共に、補助ゲートに V_{bgacc} を与えて得られる安定状態であり、またメモリセルを5極管領域で動作させて、多数キャリアを発生させて、“1”データを書き込んだ状態でもある。一方、“0”データを書き込んだ状態、つまりビット線とチャネルボディのpn接合を順方向にバイスし、蓄積されていた多数キャリア（正孔）を引き抜いて、熱平衡状態からずらした状態では、シリコン層13の裏面のポテンシャル ϕ_{bs} は、0Vではなく、負の値になる。この“0”データ状態のシリコン層13の裏面のポテンシャル ϕ_{bs} を、いまの場合、デバイスシミュレーションの結果から、 $\phi_{bs0} = -1.57 \times \phi_f$ と仮定する。

【0037】以上の式を用いて、 $t_{ox} = 10nm$ 、 $t_{box} = 30nm$ 、 $t_{si} = 25nm$ 、 $NA = 1.0 \times 10^{11}cm^{-3}$ 、室温（300K）の場合について、しきい値 V_{th} と補助ゲート電圧 V_{bg} の関係を求めると、図7の結果が得られる。この図7から、 V_{bg} が-3Vよりも正側にある場合は、多数キャリア（正孔）がシリコン裏面に蓄積されないために、ボディは完全空乏化された状態になり、メモリ機能は発現しない。即ち、“1”データ書き込み動作を行って、多数キャリアを生成したとしても、蓄積されることなく、直ちにドレイン或いはソースに放出されてしまう。

【0038】 V_{bg} を-3Vより負に大きくしてゆくと、補助ゲート側からの電界により多数キャリア（正孔）が蓄積できるようになり、徐々にメモリとしての機能が発現してくる。これは、別の見方をすれば、 V_{bg} が-3Vより大きいときには、このセル構造は非平衡状態が存在し得ない安定な状態（完全空乏化状態）を保つが、 V_{bg} をより負にすると、非平衡状態が存在し得る不安定な状態に移移することを意味している。この不安定状態を含むシステムをDRAMセルとして利用したのがこの発明の素子であるということができる。即ち、所定の正の主ゲート電圧 V_{fg} と負の補助ゲート電圧 V_{bg} を与えて“1”データを保持している状態（ V_{th} が低い状態）は熱平衡状態であり、“0”データ状態（ V_{th} が高い状態）は、蓄積していた多数キャリアを少なくとも一部放出させた非平衡状態であって、この状態は長時間保持すれば“1”データに戻る不安定状態である。

【0039】メモリ動作を、補助ゲート電圧 V_{bg} が十分に低く、“0”データ、“1”データ共に多数キャリア（正孔）が蓄積された状態にして行くとすれば、信号量 ΔV_{th} は、数1から、次の数4で表される。

【0040】

【数4】 $\Delta V_{th} = (C_{Si}/C_{ox}) \cdot \Delta \phi_{bs}$

【0041】 $\Delta \phi_{bs}$ は“0”データ状態と“1”データ状態でのシリコン裏面のポテンシャル差である。これより、信号量を増大させるためには、 C_{Si} と C_{ox} の比、言い換えると、 t_{ox}/t_{Si} を大きくするか、 $\Delta \phi_{bs}$ を大きくすればよいことが分かる。前者はデバイス構造についての条件、後者は“0”データ書き込み時のビット線電位を十分マイナスにすれば効果があることを意味している。

【0042】数4から明らかなように、この実施の形態のメモリの場合は信号量は、PD型MISFETを用いた場合と異なり、チャネルボディの不純物濃度に依存していない。 C_{ox} を小さく、従ってゲート酸化膜厚 t_{ox} を厚くすれば信号が増えるという状況は同じであるが、PD型MISFETの場合はショートチャンネル効果が大きく、 t_{ox} は厚く出来ない。

【0043】これに対して、FD型MISFETを用いるこの実施の形態では、ショートチャンネル効果が大幅に改善するので、 t_{ox} は厚く設定することが可能となる。また、構造的に見て、信号量が t_{ox}/t_{Si} のみに依存するということは、チャンネル長を将来更に縮小した場合でもこの比さえ保つように比例縮小すれば信号量は一定に保てるということを意味し、微細化が可能であることを示している。

【0044】実際に、2次元のデバイスシミュレーションによりメモリ動作を検証した結果を以下に示す。デバイスパラメータは、ゲート長 $L=70\text{nm}$ 、ゲート酸化膜厚 $t_{ox}=10\text{nm}$ 、BOX層厚 $t_{BOX}=30\text{nm}$ 、シリコン層厚 $t_{Si}=25\text{nm}$ 、アクセプタ濃度 $NA=1.0 \times 10^{14}\text{cm}^{-3}$ 、 $V_{bg}=-5\text{V}$ である。

【0045】図8は、“0”ライトと引き続く“0”リードを行った場合であり、図9は、“1”ライトと引き続く“1”リードを行った場合である。図8の場合、ゲートを -4V から 1V に立ち上げ、これに遅れてドレインを 0V から -1.5V に引き下げて、“0”データ書き込みを行っている。そして、ゲートを -4V に戻し、ドレインをほぼ 0V に戻したタイミング $2.5\text{E}-08$ がデータ保持状態を示しており、その後再度ゲートを立ち上げて読み出しを行っている。

【0046】図9の場合、ゲートを -4V から 1V に立ち上げ、これに遅れてドレインを 0V から 1.5V に立ち上げて、“1”データ書き込みを行っている。そして、ゲートを -4V に戻し、ドレインをほぼ 0V に戻したタイミング $2.5\text{E}-08$ がデータ保持状態を示しており、その後再度ゲートを立ち上げて読み出しを行っている。ソース（固定電位線）はいずれの場合も 0V である。

【0047】図8及び図9において、ボディ電位として示しているのは、チャネルボディの真中（チャンネル長

方向とシリコン深さ方向の真中）での正孔の擬フェルミポテンシャルを表している。図10は、それぞれの読み出し時の、ドレイン電流 I_{ds} -ゲート電圧 V_{gs} 特性であり、 I_{ds0} 、 I_{ds1} がそれぞれ、“0”ライト/リード、“1”ライト/リード時の特性である。以上の結果から、データ読み出し時の信号量 ΔV_{th} は 50mV 位取れており、十分な信号量が確保できていることがわかる。

【0048】図11は、補助ゲート電圧 V_{bg} を変化させて同様のデバイスシミュレーションを行って得られた“0”データの V_{th0} と“1”データの V_{th1} の補助ゲート電圧 V_{bg} 依存性を示している。これは、理論計算による図7と良い一致を示している。

【0049】【実施の形態2】図12は、別の実施の形態によるメモリセルMCの断面構造を、図4に対応させて示している。この実施の形態では、BOX層12の下に、拡散層18に代わって、 p^+ 型多結晶シリコン層21を埋め込んで、これを補助ゲートとしたものである。 p^+ 型多結晶シリコン層21は少なくともセルアレイ領域全体にまたがる共通電極として形成すればよい。

【0050】【実施の形態3】図13は、別の実施の形態によるメモリセル構造を、図12に対応させて示している。この実施の形態では、BOX層12が厚く、その内部に補助ゲートとなる多結晶シリコン層21を埋設している。この場合も、多結晶シリコン層21は少なくともセルアレイ領域全体にまたがる共通電極として埋め込み形成すればよい。

【0051】【実施の形態4】図14は、図13の構造を僅かに変形した実施の形態である。この実施の形態では、BOX層12に埋め込まれる多結晶シリコン層21を、ゲート電極15からなるワード線WLと並行するストライプ状のプレート線（補助ワード線）として形成している。多結晶シリコン層21は、ワード線方向に端部、例えばワード線ドライバが配置される側と反対側の端部で、コンタクトプラグ20により補助ゲート電圧 V_{bg} の印加端子に接続される。

【0052】なお、図14に示すように、補助ゲートをストライプ状に分離する構造は、図4の実施の形態の拡散層18や図12の実施の形態の多結晶シリコン層21の場合にも同様に採用することができる。

【0053】【実施の形態5】ここまでの実施の形態では、MISFETとして、基板面と平行にチャネルが形成される横型MISFETを用いたが、基板面と垂直方向にチャネルを形成する縦型MISFETを用いることもできる。その様な実施の形態の2メモリセル部の断面構造を図15に示す。

【0054】 p 型シリコン基板31の全面に n 型層32が形成されており、この n 型層32上の各メモリセル領域に、柱状の p 型シリコン層33がパターン形成されている。 n 型層32は、全メモリセルの共通ソースとな

る。p型シリコン層32がフローティングのチャネルボディであり、その一側面にゲート絶縁膜35を介して対向する主ゲート36が形成され、他方の側面にはゲート絶縁膜37を介して対向する補助ゲート38が形成される。ここでは隣接するメモリセルMCが補助ゲート38を共有する場合を示している。主ゲート36及び補助ゲート38はそれぞれ、ワード線WL及びプレート線PLとして、一方向に並行して連続的に配設される。各p型シリコン層33の上面にはドレイン拡散層34が形成される。層間絶縁膜40の上に、各ドレイン24に接続されるビット線41が配設される。

【0055】この実施の形態の場合も、p型シリコン層33の厚さ（横方向の幅）及び不純物濃度を選んでFD型MISFETとして、先の実施の形態と同様の動作が可能である。

【0056】〔実施の形態6〕図16は、横型MISFETであるが、チャネルボディの底面の電位制御を行う補助ゲートを、直接底面には対向させず、側面の底面寄りの部分に対向させるようにしたものである。BOX層12の底部にp⁺型拡散層18が形成されているのは、図4と同様であるが、BOX層12は厚い。そこで、図16のワード線WLに沿った断面に示したように、BOX層12内に、p型シリコン層13の底部側面にゲート絶縁膜23を介して対向するような多結晶シリコン層22を埋め込んでいる。ここでは、多結晶シリコン層22は、p型シリコン層13の両側に埋め込まれており、底部がn⁺型拡散層18に接続されている。従って、多結晶シリコン層22が、p型シリコン層13の底部を容量結合により電位制御する補助ゲートとなる。

【0057】この実施の形態によっても、先の実施の形態と同様のメモリ動作が可能であることが、シミュレーションにより実証された。以下に、その3次元のデバイスシミュレーションの結果を示す。パラメータは、ゲート長L及びゲート幅WがL=W=0.175 μ m、主ゲート側のゲート酸化膜厚 t_{oxf} =6.5nm、チャネルボディのアクセプタ濃度NA=1.0 $\times 10^{17}$ cm⁻³、主ゲート15及び補助ゲート22共にn⁺型多結晶シリコン、補助ゲート電圧V_{bg}=-4V、補助ゲート側のゲート酸化膜厚 t_{oxb} =15nm、シリコン層13の厚さ t_{Si} =140nm、BOX層厚 t_{BOX} =200nmである。側面の多結晶シリコン層22は、チャネルボディの高さの丁度真中まで埋められているものとした。

【0058】図17及び図18はそれぞれ、実施の形態1の図8及び図9に対応する、“0”ライト／リード及び“1”ライト／リードの動作波形である。また、図19は、図10に対応する読み出し時のドレイン電流I_d－ゲート電圧V_{gs}特性である。この実施の形態での

信号量は、 $\Delta V_{th}=250$ mVであった。

【0059】ここまでの実施の形態では、p型シリコンからなるチャネルボディを持つnチャネルMISFETを用いた。これに対して、実質的に不純物を含まない真性シリコンをチャネルボディとするMISFETを用いることも可能である。こうすれば、チャネルボディにおける不純物拡散による結晶の不整合などに起因するリーク電流がなくなり、データ保持特性は更に改善される。MISFETのしきい値 V_{th} を正の値にするためには、主ゲートにp⁺型多結晶シリコンを用いることが必要になる。但し、しきい値 V_{th} がマイナスであっても、ワード線レベル、ビット線レベル、ソースレベルなどを、全て約-1V下げた状態で動作させれば良いので、主ゲートにn⁺型多結晶シリコンを用いてもよい。

【0060】図20は、真性シリコンをチャネルボディとして用いたMISFETの場合の“0”、“1”データのしきい値 V_{th0} 、 V_{th1} と補助ゲート電圧V_{bg}の関係を計算した結果を図11に対応させて示している。この場合、p⁺型多結晶シリコンゲートを仮定して

【0061】補助ゲート電圧V_{bg}の値は、“1”データセルのチャネルボディに多数キャリアが蓄積できる値よりも負側でなければならない。また、補助ゲート電圧V_{bg}を、“0”データセルのチャネルボディにも多数キャリアが蓄積できる値（図20では、V_{bg}=-2V）よりも負側にすると、信号量 ΔV_{th} は最大になる。しかし、データ保持時間を大きくするためには、“0”データセルのチャネルボディ内のドレイン、ソース接合部の電界が小さいことが重要である。その意味からは、“0”データセルのチャネルボディは、底面電位を大きく負方向に引き下げることなく、多数キャリアが蓄積されない完全空乏状態となるようにすることが好ましい。そのためには、補助ゲート電圧V_{bg}は、“0”データセルのチャネルボディに多数キャリアが蓄積される値と、“1”データセルのチャネルボディに多数キャリアが蓄積される値の間の値に設定すればよい。具体的に図20の結果からは、-2.0V<V_{bg}<0.5Vの範囲に設定する。但し、データ保持時間が要求される仕様の値より大きくとれるのであれば、“0”データセルのチャネルボディにも多数キャリアが蓄積できる値よりも小さい電圧V_{bg}に設定して、信号量を最大にすることも望ましい。

【0062】次に、この発明によるDRAMを製造する際における各種デバイスパラメータのばらつきに対する特性変動を調べると、次の表1のようになる。

【0063】

【表1】

15 サンプルNo.	0	1	2	3	4	5	6
NA[cm ⁻³]	1E+15	1E+15	1E+15	1E+15	1E+15	1E+15	1E+15
tox[nm]	10	10	10	10	10	8	12
tBOX[nm]	30	30	30	20	40	30	30
tSi[nm]	25	15	35	25	25	25	25
Vbg0[V]	-5	-7.5	-4	-4	-6.5	-5	-5
Vbg1[V]	-3	-4.5	-2.25	-2	-3.5	-3	-3
Vbgs[V]	-4.5	-6.75	-3.56	-3.5	-5.75	-4.5	-4.5
Vth0[mV]	1050	1800	710	1100	1050	810	1290
Vth1[mV]	820	1100	410	610	610	490	780
ΔVth[mV]	430	700	300	490	440	320	510

【0064】表1では、チャネル長Lとチャネルボディのアクセプタ濃度NAは、ばらついても影響が少ないのでその変動は無視している。それ以外のゲート酸化膜厚tox、BOX層厚tBOX、シリコン層厚tSiの変動に対して、Vbg0は、“0”データセルのボディに多数キャリア（正孔）を蓄積するのに必要な最大の補助ゲート電圧を示し、Vbg1は、“1”データセルのボディに多数キャリア（正孔）を蓄積するのに必要な最大の補助ゲート電圧を示している。また、実際の補助ゲート電圧の設定値Vbgsとして、“0”データ保持時のボディは完全空乏化されているが、信号量はなるべく大きく取れる条件から、 $Vbgs = Vbg0 + (Vbg1 - Vbg0) \times 0.25$ を示し、そのときの“0”データセルのしきい値Vth0と、“1”データセルのしきい値Vth1、更にそれらの差ΔVthを示している。

【0065】表1から、 $tox = 10\text{nm} \pm 20\%$ 、 $tBOX = 30\text{nm} \pm 33\%$ 、 $tSi = 25\text{nm} \pm 40\%$ の変動を示した場合、補助ゲート電圧の最適設定値Vbgsは-3.5V~-6.75Vの範囲で変わる。また、“0”データのしきい値Vth0は710mV~1800mV、“1”データのしきい値Vth1は410mV~1100mVの範囲で変動する。

【0066】これらの変動を抑えることが重要であることには違いない。上の例では意識的に変動をかなり大きく強調しているが、実際に±10%程度の変動はあり得る。この様な前提で、たとえ変動しても、補助ゲート電圧Vbgsと、しきい値Vth0、Vth1の変動に伴う、書き込み時のワード線の高レベル電圧VWLHW、読み出し時のワード線の電圧VWLHR、保持時のワード線の低レベル電圧VWLLをチップ選別試験の時にトリミングすることも重要である。これらのパラメータ変動はチップ単位内にはないと考えてよいので、チップごとのトリミングで良い。或いは、ウェファー単位やロット毎でも良い場合もあり得る。また、読み出し時のセンスアンプへの影響はダミーセルとしてメモリセルと同じ構造のものを使う限り、Vthの変動は共通の変動として打ち消しあうので、問題はない。

【0067】補助ゲート電圧Vbgsと、上述のワード線電位VWLHW/VWLHR/VWLLのトリミングについては、いろいろな方式が考えられるが、例えばメモリセルと同じ構造のテスト用MISFETをチップ毎に配置する。選別試験時にこのテスト用MISFETについて、“0”データ書き込み/読み出し及び“1”データ書き込み/読み出しを行い、そのMISFETの3極管領域でのしきい値Vth0、Vth1を測定する。同様のテストを、補助ゲート電圧Vbgを変えながら繰り返して、最適の補助ゲート電圧Vbgsを決定する。

【0068】一方、メモリチップには、動作条件を初期設定するため初期設定データ記憶回路として、フューズなどの不揮発性記憶素子を搭載しておく。そして、上述のテスト結果に基づいて、フューズをプログラムする。このプログラムデータは、電源投入時に自動的に読み出されて、メモリチップ内の補助ゲート電圧設定回路、VWLHW/VWLHR/VWLL等のワード線電圧発生回路等が初期設定されるようにする。この様にして、メモリチップ毎に最適の動作条件を設定することができる。

【0069】[実施の形態1のセルアレイ構造]図21は、実施の形態1対応の具体的なセルアレイのレイアウトであり、図22、図23及び図24はそれぞれ、図21のI-I'、II-II'及びIII-III'断面図である。SOI基板のp型シリコン層13は、図23及び図24に示すように、STI(Shallow Trench Isolation)により埋め込まれた素子分離絶縁膜106によって、ビット線BLの方向に連続するストライプ状の素子形成領域として区画される。そして各p型シリコン層13に、ソース16及びドレイン17をそれぞれビット線方向に隣接するMISFETで共有する形で複数のMISFETが配列形成される。

【0070】ゲート電極15は、ワード線WLとして、ビット線BLと直交する方向に連続的に配設される。ゲート電極15の上面及び側面はシリコン窒化膜101で覆われた状態とする。素子を覆う層間絶縁膜103内には、ワード線WL方向に並ぶMISFETのソース16

を共通接続する共通ソース線(SL)102が多結晶シリコン配線として形成される。層間絶縁膜103上に、MISFETのドレインに接続されるビット線(BL)105が配設される。補助ゲートとしてのn'型層18は、セルアレイ全体にまたがる共通電極として形成される。

【0071】ワード線WL及びビット線BLを最小加工寸法Fのライン/スペースで形成したとすると、単位セル面積は、図21に一点鎖線で示したように、 $4F^2$ となる。

【0072】【実施の形態5対応のセルアレイ構造】図25は、図15に基本セル構造を示した実施の形態5対応の具体的なセルアレイのレイアウトであり、図26及び図27はそれぞれ、図25のI-I'及びII-II'断面図である。p/n/p構造のシリコンウェハを用いて、n型層32に達する深さの溝を加工することにより、柱状のp型シリコン層33が配列形成される。溝には絶縁膜39が埋め込まれる。この絶縁膜39に、ワード線WL及びプレート線PLの埋め込み位置に溝を形成し、シリコン層33の両側面にゲート絶縁膜35、37を介して対向する主ゲート36及び補助ゲート38が埋め込まれる。主ゲート36及び補助ゲート38は、図25に示すように、並行するワード線WL及びプレート線(補助ワード線)PLとしてパターン形成される。

【0073】ゲート絶縁膜35、37は、同じ膜厚とする場合には同時に形成してもよいが、異なる膜厚とするには別々の工程が必要になる。主ゲート36及び補助ゲート38の上面及び側面はシリコン窒化膜110で覆われた状態とする。そして、シリコン層33の上面にドレイン34を拡散形成した後、層間絶縁膜40を堆積している。層間絶縁膜40にコンタクトプラグ122を埋め込み、その上にビット線(BL)41を配設して、セルアレイが構成される。

【0074】図25に示すように、プレート線PLは、ビット線BL方向に隣接する二つのメモリセルで共有するように、2本のワード線WLに挟まれた状態で配設されている。ワード線WL及びプレート線PLのライン/スペースをF、ビット線BLのライン/スペースをFとして、この実施の形態の場合、単位セル面積は、 $6F^2$ となる。

【0075】【実施の形態6対応のセルアレイ構造】図28は、図16に基本セル構造を示した実施の形態5対応の具体的なセルアレイのレイアウトであり、図29、図30及び図31はそれぞれ、図28のI-I'、II-II'及びIII-III'断面図である。図28及び図29の基本セルアレイ構造は、図21及び図22と同様であるが、ビット線BLと並行して、各ビット線BLの間隙部に補助ゲートとなる多結晶シリコン膜22が埋め込まれる点が異なっている。図30に示すように、多結晶シリコン膜22は、p型シリコン層13の側面底部に対向す

るように、具体的にはp型シリコン層13の厚みの真ん中程度に上面が位置するように、BOX層12内に埋め込まれ、これがプレート線(補助ワード線)PLとなる。

【0076】【メモリチップ等価回路】ここまで、セルアレイの構造例を説明したが、周辺回路を含めてメモリチップの等価回路を示すと、図32のようになる。メモリセルアレイ201の主ゲートからなるワード線は、ロウデコーダ(ワード線ドライバを含む)205により選択駆動される。メモリセルアレイ201のビット線はセンスアンプ202に接続され、カラムデコーダ203により選択されたカラムのビット線がデータバッファ204を介してI/O端子とデータ授受が行われる。アドレス信号は、アドレスバッファ206に入力され、ロウアドレス、カラムアドレスがそれぞれロウデコーダ205、カラムデコーダ203によりデコードされる。

【0077】ロウデコーダ205を介してセルアレイのワード線に与えられる各種制御電圧VWL(前述のように、書き込み時の高レベルワード線電圧VWLHW、読み出し時のワード線電圧VWLHR、保持時の低レベルワード線電圧VWLHを含む)、及び補助ゲートに与えられる固定のバックゲート電圧Vbgは、昇圧回路等を用いた内部電圧発生回路207により発生される。電圧発生回路207の出力電圧をチップ毎に最適値に設定するために、初期設定レジスタ209が設けられている。

【0078】前述したようように、テスト結果により、電圧発生回路207が出力する各種の電圧を最適設定するための不揮発性記憶回路としてフューズ回路208が設けられている。このフューズ回路208のプログラミングによって、各種電圧の初期設定値が決定される。そして、メモリ動作させるときには、電源投入を検出するパワーオン検出回路210の出力によって、フューズ回路208のデータが初期設定レジスタ209に自動的に読み出され、この初期設定レジスタ209の出力により電圧発生回路207が制御されて、チップ毎に最適化された制御電圧VWLや固定電圧Vbgが発生されるようにしている。

【0079】

【発明の効果】以上述べたようにこの発明によれば、一つの完全空乏型MISFETを1ビットのメモリセルとしてダイナミック記憶を行う半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図1】PD型MISFETを用いたメモリセルの構造を示す図である。

【図2】同メモリセルの動作原理を説明するためのポテンシャル電位とワード線電圧の関係を示す図である。

【図3】同メモリセルのバンド構造を示す図である。

【図4】この発明の実施の形態によるFD型MISFETを用いたメモリセルの構造を示す図である。

【図5】同メモリセルの基本バンド構造を示す図である。

【図6】同メモリセルの基準状態でのバンド構造を示す図である。

【図7】同メモリセルのデータ“0”、“1”のしきい値と補助ゲート電圧の関係を示す図である。

【図8】同メモリセルの“0”書き込み／読み出しの動作波形を示す図である。

【図9】同メモリセルの“1”書き込み／読み出しの動作波形を示す図である。

【図10】同メモリセルの読み出し時のドレイン電流－ゲート電圧特性を示す図である。

【図11】同メモリセルの各データ状態のしきい値と補助ゲート電圧の関数関係を示す図である。

【図12】他の実施の形態によるメモリセルの構造を示す図である。

【図13】他の実施の形態によるメモリセルの構造を示す図である。

【図14】他の実施の形態によるメモリセルの構造を示す図である。

【図15】他の実施の形態によるメモリセルの構造を示す図である。

【図16】他の実施の形態によるメモリセルの構造を示す図である。

【図17】同実施の形態のメモリセルの“0”書き込み／読み出しの動作波形を示す図である。

【図18】同メモリセルの“1”書き込み／読み出しの*

*動作波形を示す図である。

【図19】同メモリセルの読み出し時のドレイン電流－ゲート電圧特性を示す図である。

【図20】同メモリセルの各データ状態のしきい値と補助ゲート電圧の関数関係を示す図である。

【図21】図4の実施の形態のセル構造による具体的なセルアレイのレイアウトを示す図である。

【図22】図21のI-I'断面図である。

【図23】図21のII-II'断面図である。

10 【図24】図21のIII-III'断面図である。

【図25】図15の実施の形態のセル構造による具体的なセルアレイのレイアウトを示す図である。

【図26】図25のI-I'断面図である。

【図27】図25のII-II'断面図である。

【図28】図16の実施の形態のセル構造による具体的なセルアレイのレイアウトを示す図である。

【図29】図28のI-I'断面図である。

【図30】図28のII-II'断面図である。

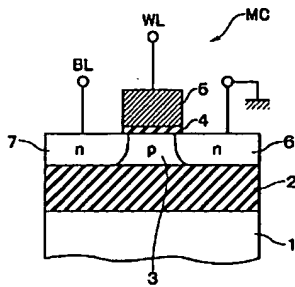
【図31】図28のIII-III'断面図である。

20 【図32】この発明の実施の形態によるメモリチップの等価回路を示す図である。

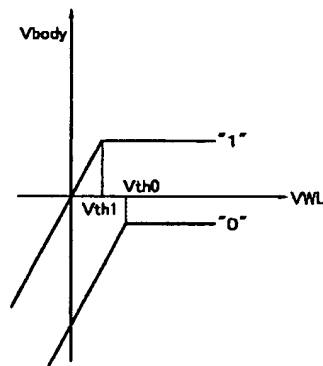
【符号の説明】

11…シリコン基板、12…絶縁膜（BOX層）、13…p型シリコン層（チャンネルボディ）、14…ゲート絶縁膜、15…主ゲート、16…ソース、17…ドレイン、18…n'型層（補助ゲート）。

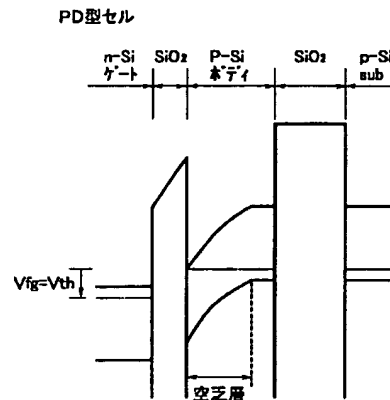
【図1】



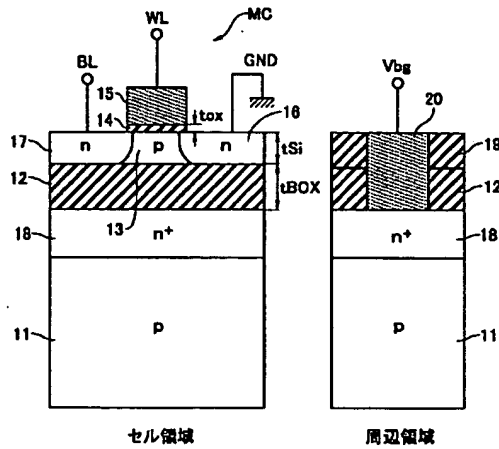
【図2】



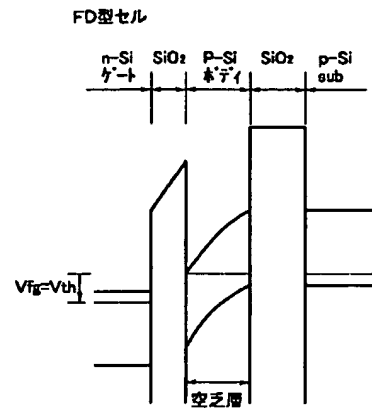
【図3】



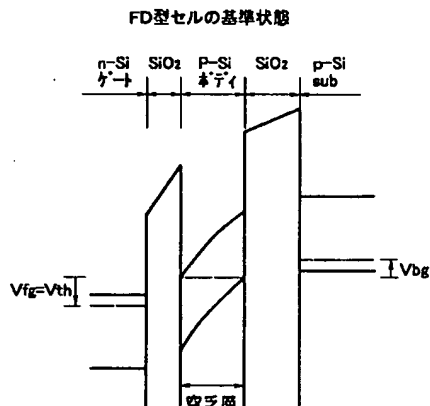
【図4】



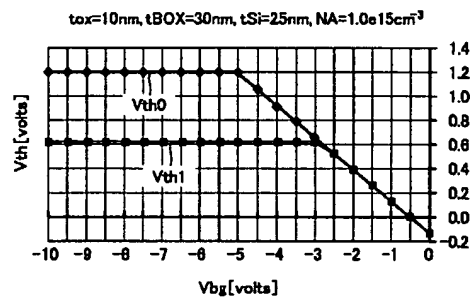
【図5】



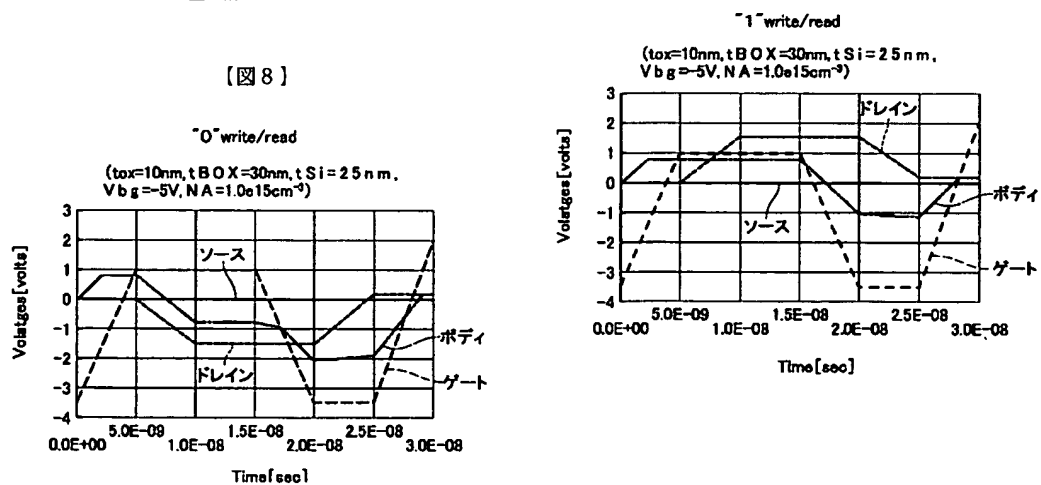
【図6】



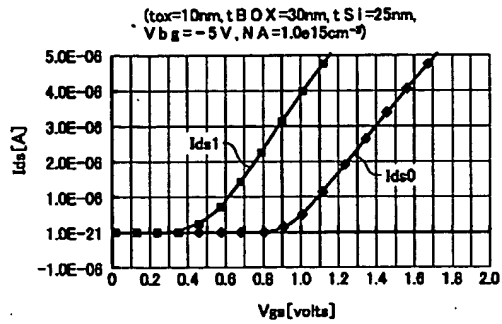
【図7】



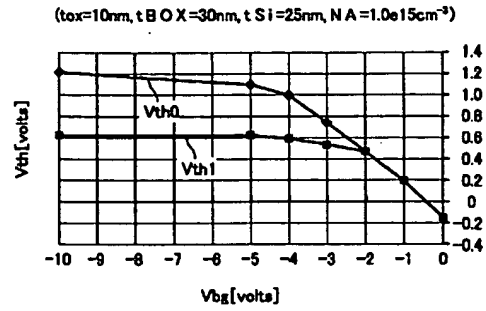
【図9】



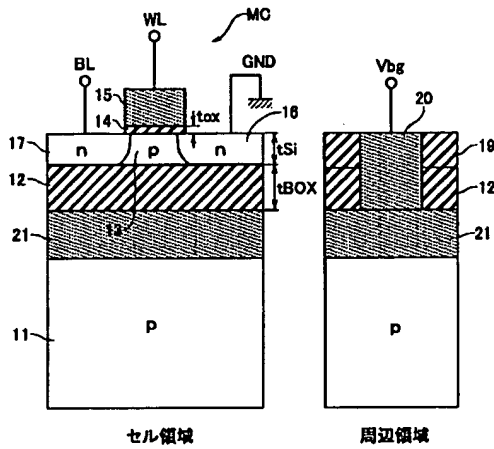
【図10】



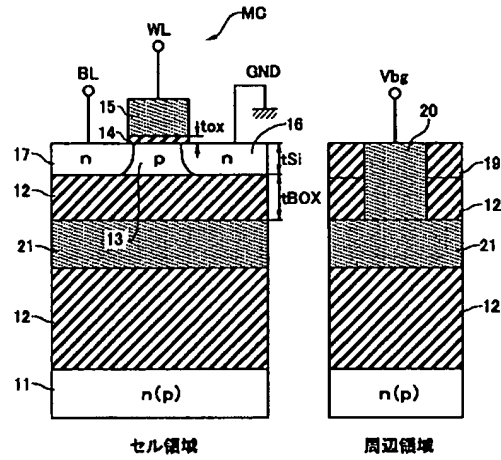
【図11】



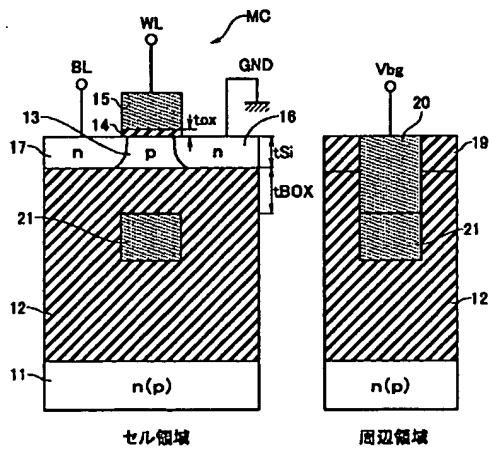
【図12】



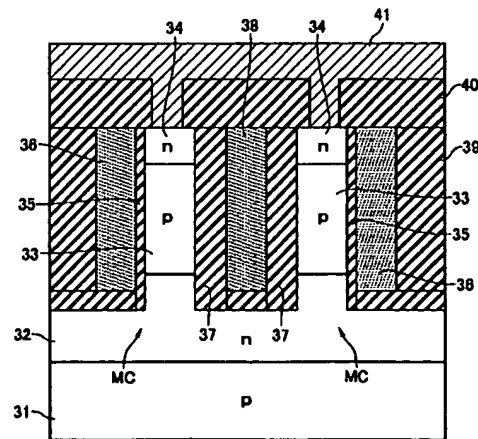
【図13】



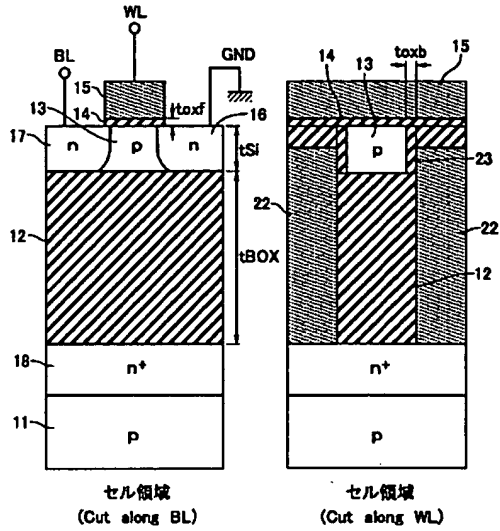
【図14】



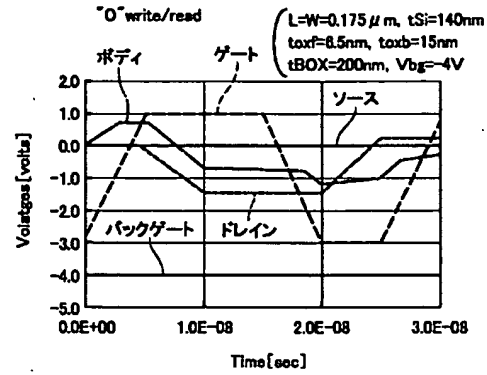
【図15】



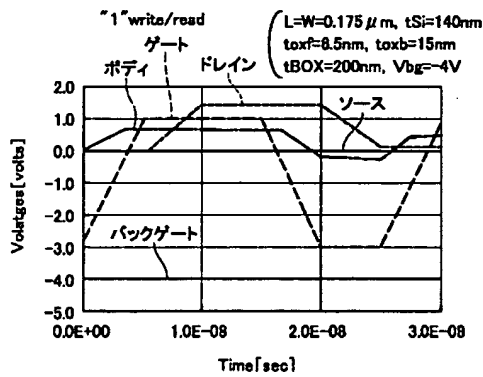
【図16】



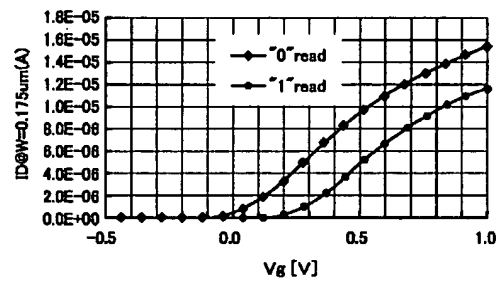
【図17】



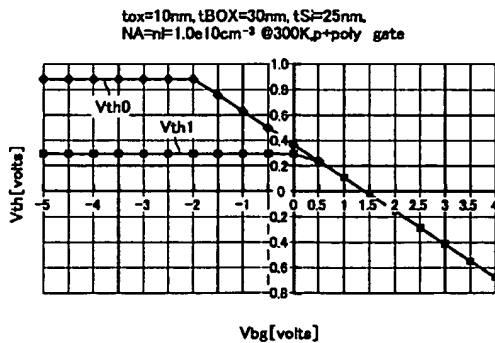
【図18】



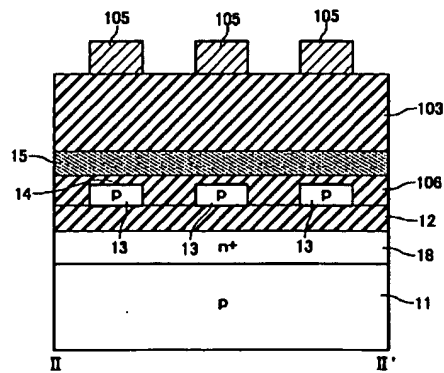
【図19】



【図20】



【図23】



(WL) (SL) (WL)

II III

F F

(BL) 104 104 105

(BL) 104 104 105

I

単位セル
 $4F^2$

(BL) 104 104 105

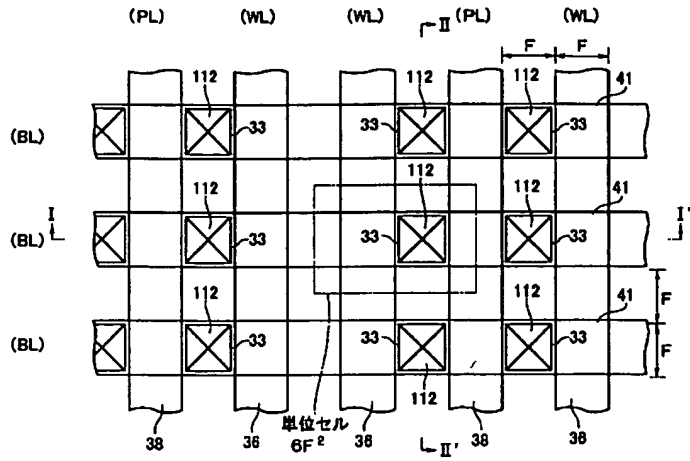
F F

15 15 15 15 102 15 15

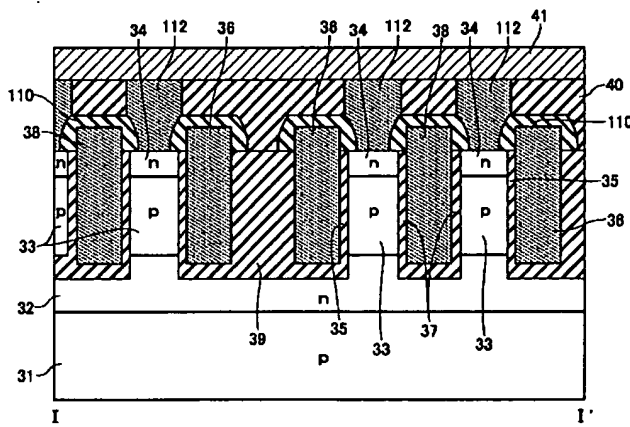
II III

A cross-sectional view of a semiconductor device. The structure consists of a substrate 11 with a p-type region 18. Above the substrate is a series of alternating n-type (12) and p-type (13) regions. A layer 16 is deposited on top of these regions. On the n-type regions 12, there are structures 101 and 102. On the p-type regions 13, there are structures 103 and 104. A layer 15 is deposited on top of the structures 101 and 102. A layer 105 is deposited on top of the structures 103 and 104. The device is labeled with I and I' at the bottom corners.

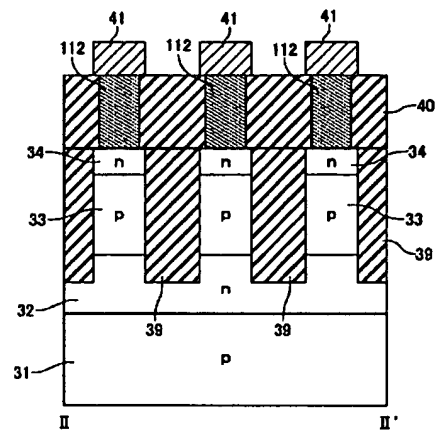
【圖25】



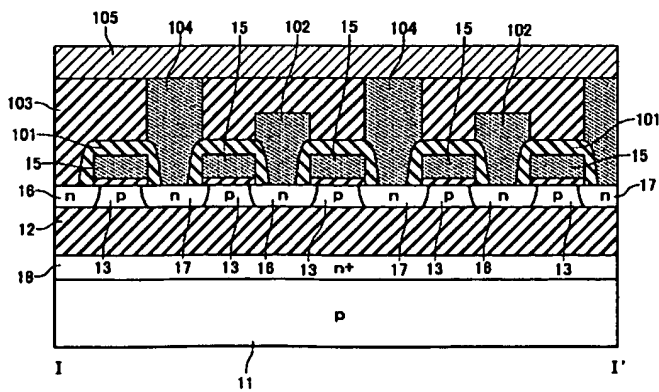
【圖26】



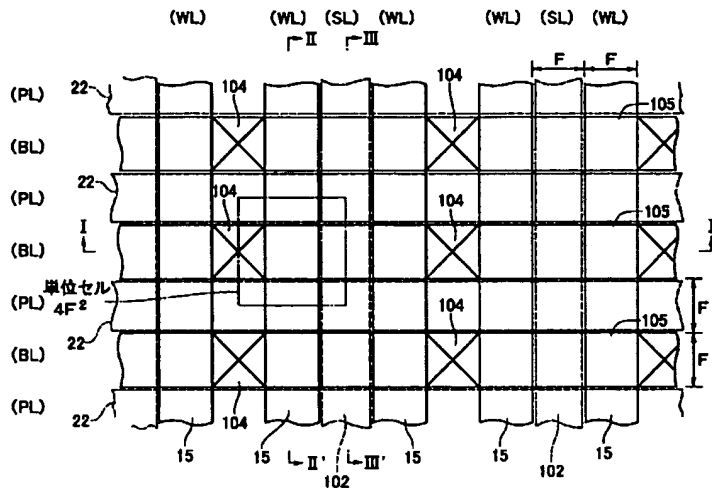
【圖27】



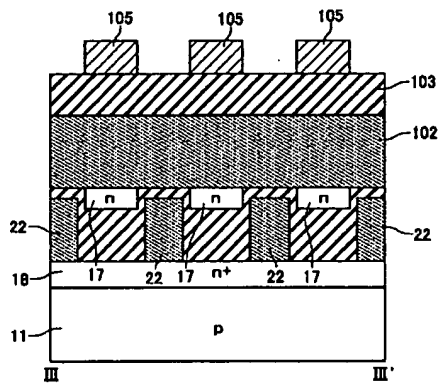
【圖 29】



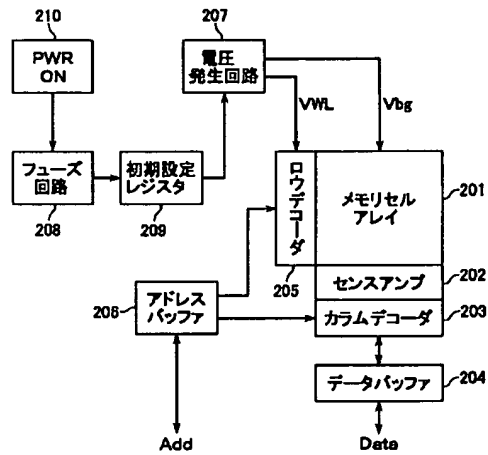
【図28】



【図31】



【図32】



フロントページの続き

F ターム(参考) 5F083 AD69 GA09 HA02 LA12 LA16
 LA19 LA20 MA06 MA16 NA08
 ZA10
 5F110 AA30 BB06 CC02 CC09 DD05
 DD13 DD22 EE30 EE31 FF02
 GG02 GG12 GG24 GG28 GG34
 GG35 QQ11

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.